

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-115551

(43)Date of publication of application : 18.04.2003

(51)Int.Cl.

H01L 21/8244

G11C 11/41

G11C 11/412

G11C 11/418

H01L 27/11

(21)Application number : 2001-310514

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.10.2001

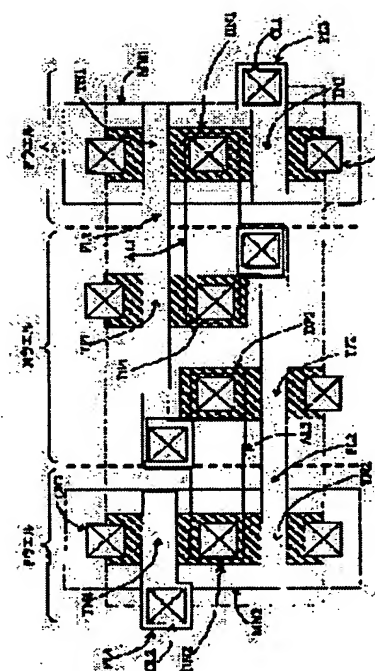
(72)Inventor : SATOMI KATSUJI
YAMAUCHI HIROYUKI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage that prevents a machined shape in a diffusion region from varying easily for reducing variation in the characteristics of a transistor, and can achieve high integration in a CMOS-type SRAM memory.

SOLUTION: The semiconductor storage has a configuration where each of a first diffusion region for forming first and third nMOS transistors and a second diffusion region for forming second and fourth nMOS transistors does not have a flex section and is arranged linearly, and the current drive capabilities of the first and second nMOS transistors are higher than those of the third and fourth nMOS transistors in an SRAM memory cell that has a first inverter including a first nMOS transistor and a first pMOS transistor, a second inverter including a second nMOS transistor and a second pMOS transistor, and third and fourth nMOS transistors.



LEGAL STATUS

[Date of request for examination] 25.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3637299

[Date of registration] 14.01.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-115551

(P 2 0 0 3 - 1 1 5 5 5 1 A)

(43) 公開日 平成15年4月18日 (2003.4.18)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)	
H01L 21/8244		H01L 27/10	381	5B015
G11C 11/41		G11C 11/34	345	5F083
11/412			301	B
11/418		11/40		Z
H01L 27/11			301	
審査請求 有 請求項の数12 O L (全13頁)				

(21) 出願番号 特願2001-310514 (P 2001-310514)

(22) 出願日 平成13年10月5日 (2001.10.5)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 里見 勝治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山内 寛行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

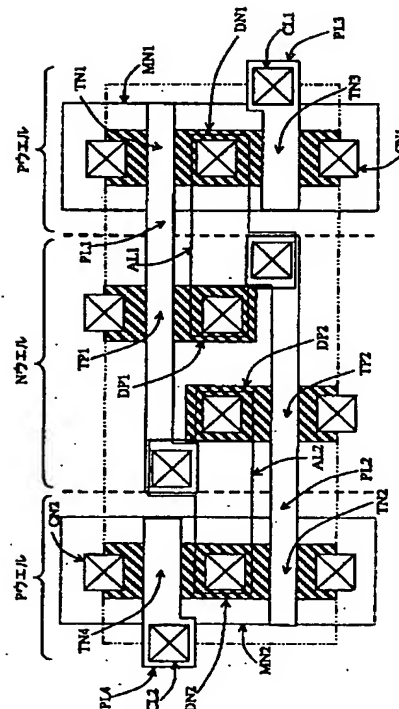
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 本発明は、CMOS型SRAMメモリセルにおいて、拡散領域の加工形状が変動しにくく、その結果としてトランジスタの特性ばらつきが少なく、高集積化が可能な半導体記憶装置を提供する。

【解決手段】 本発明の半導体記憶装置は、第1のnMOSトランジスタと第1のpMOSトランジスタを含む第1のインバータと、第2のnMOSトランジスタと第2のpMOSトランジスタを含む第2のインバータと、第3のnMOSトランジスタと、第4のnMOSトランジスタとを有するSRAMメモリセルにおいて、第1と第3のnMOSトランジスタを形成する第1の拡散領域と、第2と第4のnMOSトランジスタを形成する第2の拡散領域のそれぞれが屈曲部を持たず直線状に配置され、第1及び第2のnMOSトランジスタの電流駆動能力が第3及び第4のnMOSトランジスタの電流駆動能力より高い構成を有する。



【特許請求の範囲】

【請求項1】 第1のnMOSトランジスタと第1のpMOSトランジスタとを含む第1のインバータと、第2のnMOSトランジスタと第2のpMOSトランジスタとを含む第2のインバータと、第3のnMOSトランジスタと、第4のnMOSトランジスタとを有し、

前記第1のインバータの入力ノードが前記第2のインバータの出力ノードに接続され、前記第2のインバータの入力ノードが前記第1のインバータの出力ノードに接続され、

前記第3のnMOSトランジスタはドレイン又はソースの一方が前記第1のインバータの出力ノードに接続され、ドレイン又はソースの他方が第1のビット線に接続され、ゲートがワード線に接続され、

前記第4のnMOSトランジスタはドレイン又はソースの一方が前記第2のインバータの出力ノードに接続され、ドレイン又はソースの他方が第2のビット線に接続され、ゲートが前記ワード線接続されたSRAMメモリセルにおいて、

前記第1と第3のnMOSトランジスタを形成する第1の拡散領域と、前記第2と第4のnMOSトランジスタを形成する第2の拡散領域のそれぞれが屈曲部を持たず直線状に配置され、

前記第1及び前記第2のnMOSトランジスタの電流駆動能力が前記第3及び前記第4のnMOSトランジスタの電流駆動能力より高いことを特徴とする半導体記憶装置。

【請求項2】 前記第3及び第4のnMOSトランジスタのゲート長が前記第1及び第2のnMOSトランジスタのゲート長より長いことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記第3及び第4のnMOSトランジスタの閾値電圧特性が、前記第1及び第2のnMOSトランジスタの閾値電圧特性より高いことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記第3及び第4のnMOSトランジスタのゲート酸化膜厚が前記第1及び第2のnMOSトランジスタのゲート酸化膜厚より厚いことを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 前記ワード線の駆動電圧が前記第1及び第2のインバータに供給する電源電圧よりも低いことを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】 前記第1のpMOSトランジスタを形成する第3の拡散領域及び前記第2のpMOSトランジスタを形成する第4の拡散領域が屈曲部を持たず直線状に配置され、前記第1及び前記第2の拡散領域と平行して配置されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 前記第3の拡散領域上に前記第1のpMOSトランジスタのドレインに隣接して設けられた第3

のpMOSトランジスタと、前記第4の拡散領域上に前記第2のpMOSトランジスタのドレインに隣接して設けられた第4のpMOSトランジスタとを有し、

前記第1のnMOSトランジスタのゲートと前記第1のpMOSトランジスタのゲートと前記第4のpMOSトランジスタのゲートとが1本の第1のポリシリコン配線で連続して接続され、

前記第2のnMOSトランジスタのゲートと前記第2のpMOSトランジスタのゲートと前記第3のpMOSトランジスタのゲートとが1本の第2のポリシリコン配線で連続して接続され、

前記第3及び第4のpMOSトランジスタの閾値電圧の絶対値は、前記第1及び第2のインバータに供給する電源電圧よりも高いことを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記第3のpMOSトランジスタの拡散領域のうち前記第1のpMOSトランジスタと反対側の拡散領域と、前記第4のpMOSトランジスタの拡散領域のうち前記第2のpMOSトランジスタと反対側の拡散領域とに、N型拡散領域を設けてpMOSトランジスタを形成するNウェル領域の電位を固定したことを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 前記SRAMメモリセルが格子状に配置されるメモリセルアレイにおいて、前記第1及び第2の拡散領域の延在方向に一定間隔でウェル電位を固定するための基板コンタクト領域を設け、前記基板コンタクト領域を形成する拡散領域を前記メモリセルの前記第1の拡散領域並びに前記第2の拡散領域の延長線の上に屈曲部を有さず直線状に配置し、前記メモリセルと前記基板コンタクト領域との境界にオン状態とならないようにゲートを電位固定した第5のnMOSトランジスタを設けたことを特徴とする請求項1から請求項5のいずれかの請求項に記載の半導体記憶装置。

【請求項10】 前記SRAMメモリセルが格子状に配置されるメモリセルアレイにおいて、前記第3及び第4の拡散領域の延在方向に一定間隔でウェル電位を固定するための基板コンタクト領域を設け、前記基板コンタクト領域を形成する拡散領域を前記メモリセルの前記第3の拡散領域並びに前記第4の拡散領域の延長線の上に屈曲部を有さず直線状に配置し、前記メモリセルと前記基板コンタクト領域との境界にオン状態とならないようにゲートを電位固定した第5のpMOSトランジスタを設けたことを特徴とする請求項6から請求項8のいずれかの請求項に記載の半導体記憶装置。

【請求項11】 前記第1のpMOSトランジスタが第3の拡散領域で形成され、前記第2のpMOSトランジスタが第4の拡散領域で形成されており、前記第1、第2、第3、第4の拡散領域を、トランジスタを形成するゲートの接続線の長手方向に隣接する拡散領域の間隔を同じにして配置したことを特徴とする請求項1から請求

項 10 のいずれかの請求項に記載の半導体記憶装置。

【請求項 12】 前記第 1 の pMOS トランジスタが第 3 の拡散領域で形成され、前記第 2 の pMOS トランジスタが第 4 の拡散領域で形成されており、前記第 1、第 2、第 3、第 4 の拡散領域の幅を、トランジスタを形成するゲートの接続線の長手方向に測定して同じにして配置したことを特徴とする請求項 1 から請求項 11 のいずれかの請求項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置のうち CMOS 型 SRAM セルのレイアウトに関するものである。

【0002】

【従来の技術】 メモリセルを 6 個のトランジスタで構成する SRAM は標準的な半導体 CMOS プロセスで構成することができ、幅広くシステム LSI 等に使用されている。以下従来例の CMOS 型 SRAM メモリセルのレイアウトパターンについて図 8 を用いて説明する。従来例の SRAM メモリセルは、nMOS 駆動トランジスタ TN1、TN2、nMOS アクセストランジスタ TN3、TN4、pMOS 負荷トランジスタ TP1、TP2、ポリシリコン配線 PL1、PL2、PL3、PL4、配線層 AL1、AL2、コンタクト CN1、CN2、CL1、CL2 を有する。

【0003】 nMOS 駆動トランジスタ TN1 及び nMOS アクセストランジスタ TN3 は n 型拡散領域 DN1 上に形成され、nMOS 駆動トランジスタ TN2 及び nMOS アクセストランジスタ TN4 は n 型拡散領域 DN2 上に形成されている。pMOS 負荷トランジスタ TP1 は、p 型拡散領域 DP1 上で形成され、pMOS 負荷トランジスタ TP2 は、p 型拡散領域 DP2 上で形成されている。nMOS 駆動トランジスタ TN1 と pMOS 負荷トランジスタ TP1 は両ゲートがポリシリコン配線 PL1 で接続され、両ドレインがコンタクトを介して配線層 AL1 で接続されており、第 1 のインバータ (CMOS 構造) を形成している。nMOS 駆動トランジスタ TN2 と pMOS 負荷トランジスタ TP2 は両ゲートがポリシリコン配線 PL2 で接続され、両ドレインがコンタクトを介して配線層 AL2 で接続されており、第 2 のインバータ (CMOS 構造) を形成している。第 1 のインバータの出力ノードになる AL1 は第 2 のインバータの入力ノード PL2 に接続され、第 2 のインバータの出力ノードになる AL2 は第 1 のインバータの入力ノード PL1 に接続されている。これによりデータを保持するためのラッチ回路が形成されている。

【0004】 nMOS アクセストランジスタ TN3 のドレインは第 1 のインバータの出力ノードとなる配線層 AL1 に接続され、ソースはコンタクト CN1 を介して縦方向に走るビット線 (図示していない) に接続されてい

る。nMOS アクセストランジスタ TN4 のドレインは第 2 のインバータの出力ノードとなる配線層 AL2 に接続され、ソースはコンタクト CN2 を介して縦方向に走る他のビット線 (図示していない) に接続されている。TN3 と TN4 のゲートはそれぞれコンタクト CL1 と CL2 を介して横方向に走るワード線 (図示していない) に接続される。このようなメモリセルレイアウトは、横方向が長く 2 本のビット線間隔を広くとることができ、微細プロセスで問題となってくるビット線間のカップリング容量を低減でき高速化に有利という特徴を有している。

【0005】 次に図 9、図 10、図 11 を用いて SRAM メモリセルにおける、駆動トランジスタとアクセストランジスタの能力比とメモリデータ保持の安定性との関係を説明する。図 9 に、メモリデータ保持の安定性を評価するためのメモリセル回路図を示す。読み出し動作のためにワード線が VDD レベルになってアクセストランジスタ TN3、TN4 がオンになり、ビット線がプリチャージレベルに持ち上げられている状態を想定した回路になっている。図 10 にラッチ回路中の 2 つのインバータ回路 (INV1、INV2) の入出力特性を示す。A_{in}-A_{out} が INV1 の、B_{in}-B_{out} が INV2 の特性を示しており、A_{in}=B_{out}、B_{in}=A_{out} となるようプロットされている。図中のクロスポイント P1、P2 が安定点でありそれぞれの点がメモリデータの 0 又は 1 に対応する。このプロットで、2 つの曲線に囲まれた領域が大きいほど P1、P2 の保持データの安定性が増す。ここで、アクセストランジスタ TN3、TN4 がインバータ回路中の nMOS トランジスタ TN1、TN2 (駆動トランジスタ) と比較して駆動能力が大きくなると、インバータ回路の入出力特性が図 11 のように変化する。アクセストランジスタがビット線の VDD レベルをラッチノードに伝達しやすくなるため、2 つの曲線に囲まれた領域が小さくなる。こうした特性を持つメモリセル内にノイズ電圧が加わると、図 11 に示すようにクロスポイントは P2' だけになり、メモリセルは片方のデータのみしか保持できない状態となる。P2' 以外のデータ (P1') を保持していた場合はデータが破壊されることになる。このように、アクセストランジスタと駆動トランジスタの駆動能力比を一定に保つことは、メモリセルのデータを安定保持する上で重要なポイントとなっており、一般的にアクセストランジスタ駆動能力は、駆動トランジスタ駆動能力の 50 ~ 70 % に設定される。従来例の SRAM メモリセルにおいては、駆動トランジスタのチャネル幅をアクセストランジスタのチャネル幅より広く設定することにより、両者の間に駆動能力差を生じさせている。

【0006】

【発明が解決しようとする課題】 然しながら上記従来例のように、駆動トランジスタのチャネル幅をアクセスト

ランジスタのチャネル幅より広く設定することにより、駆動能力差を生じさせるSRAMメモリセルにおいては、拡散領域はいくつかの屈曲部や端部を必然的に有することになる。例えば図8において、DL3、DL4の丸めを生じる屈曲部はnMOS駆動トランジスタTN1、TN2に対するそれぞれTN3、TN4のnMOSアクセストランジスタとのチャネル幅の違いによって生じるものである。このようなレイアウトの場合、拡散領域の屈曲部では図の破線DL1、DL2、DL3、DL4に示すように仕上りパターンの丸めが発生し、nMOSトランジスタTN1、TN2、TN3、TN4のトランジスタ幅が所要のサイズより大きくなるといった不具合が生じる。また、拡散領域の端部では、破線DL5、DL6に示すように仕上がりパターンの後退が発生し、コンタクトに対するp型拡散領域のオーバーラップマージンの減少やpMOSトランジスタTP1、TP2のチャネル幅の変動といった不具合が生じる。

【0007】また一般的に半導体チップに搭載するシステムは大規模化が進み、これに伴ってSRAMのビット容量も大規模なブロックが搭載される傾向にある。こうしたシステム側の要求に応じるために、SRAMメモリセルサイズはより縮小されることが望まれている。セルサイズ縮小のためにはよりチャネル幅の小さいMOSトランジスタを用いるのが効果的であるが、こうしたサイズの小さいパターンでは加工ばらつきの影響でトランジスタの特性ばらつきが大きくなりやすい。従って、セルサイズを縮小すると、動作マージンを確保して安定した設計をすることが難しくなってくる。一方、近年の微細プロセスでは所望の加工形状を得ることが難しくなっており、パターンの丸めや後退が発生しやすくなっている。また、同じパターン形状であってもその周りのパターン形状によって仕上がり形状が変わってくるといった現象も顕著になってきている。こうした加工形状の変動を抑えるために、当該レイアウトパターンの凹凸形状やそのまわりのレイアウト形状を考慮してあらかじめマスクパターンに補正を施しておくことが既に近年の微細プロセスでは実施されている。しかしながらこうした補正は、半導体拡散プロセス工程で用いられる装置や加工条件にセンシティブであり、拡散工程の加工条件が変更するたびに補正值に修正を加えなければならないという煩わしさを生じる。

【0008】前記の課題に鑑みて、本発明の半導体記憶装置のメモリセルレイアウトでは、チャネル幅を変えことなく、アクセストランジスタと駆動トランジスタの能力に差を持たせ拡散領域の屈曲部をなくし直線状にレイアウトすることを可能にする。本発明は、そのことによりSRAMメモリセル拡散領域の加工形状が変動しにくく、トランジスタの特性ばらつきが抑制され、ひいてはチャネル幅の小さいトランジスタが使用可能になることで高集積化を図ることが可能な半導体記憶装置を提供

することを目的としている。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明は以下の構成を有する。請求項1の本発明は、第1のnMOSトランジスタと第1のpMOSトランジスタとを含む第1のインバータと、第2のnMOSトランジスタと第2のpMOSトランジスタとを含む第2のインバータと、第3のnMOSトランジスタと、第4のnMOSトランジスタとを有し、前記第1のインバータの入力ノードが前記第2のインバータの出力ノードに接続され、前記第2のインバータの入力ノードが前記第1のインバータの出力ノードに接続され、前記第3のnMOSトランジスタはドレイン又はソースの一方が前記第1のインバータの出力ノードに接続され、ドレイン又はソースの他方が第1のビット線に接続され、ゲートがワード線に接続され、前記第4のnMOSトランジスタはドレイン又はソースの一方が前記第2のインバータの出力ノードに接続され、ドレイン又はソースの他方が第2のビット線に接続され、ゲートが前記ワード線に接続されたSRAMメモリセルにおいて、前記第1と第3のnMOSトランジスタを形成する第1の拡散領域と、前記第2と第4のnMOSトランジスタを形成する第2の拡散領域のそれぞれが屈曲部を持たず直線状に配置され、前記第1及び前記第2のnMOSトランジスタの電流駆動能力が前記第3及び前記第4のnMOSトランジスタの電流駆動能力より高いことを特徴とする半導体記憶装置である。

【0010】請求項2の本発明は、前記第3及び第4のnMOSトランジスタのゲート長が前記第1及び第2のnMOSトランジスタのゲート長より長いことを特徴とする請求項1に記載の半導体記憶装置である。

【0011】請求項3の本発明は、前記第3及び第4のnMOSトランジスタの閾値電圧特性が、前記第1及び第2のnMOSトランジスタの閾値電圧特性より高いことを特徴とする請求項1に記載の半導体記憶装置である。

【0012】請求項4の本発明は、前記第3及び第4のnMOSトランジスタのゲート酸化膜厚が前記第1及び第2のnMOSトランジスタのゲート酸化膜厚より厚いことを特徴とする請求項1に記載の半導体記憶装置である。

【0013】請求項5の本発明は、前記ワード線の駆動電圧が前記第1及び第2のインバータに供給する電源電圧よりも低いことを特徴とする請求項1に記載の半導体記憶装置である。

【0014】請求項6の本発明は、前記第1のpMOSトランジスタを形成する第3の拡散領域及び前記第2のpMOSトランジスタを形成する第4の拡散領域が屈曲部を持たず直線状に配置され、前記第1及び前記第2の拡散領域と平行して配置されたことを特徴とする請求項

1に記載の半導体記憶装置である。

【0015】請求項7の本発明は、前記第3の拡散領域上に前記第1のpMOSトランジスタのドレインに隣接して設けられた第3のpMOSトランジスタと、前記第4の拡散領域上に前記第2のpMOSトランジスタのドレインに隣接して設けられた第4のpMOSトランジスタとを有し、前記第1のnMOSトランジスタのゲートと前記第1のpMOSトランジスタのゲートと前記第4のpMOSトランジスタのゲートとが1本の第1のポリシリコン配線で連続して接続され、前記第2のnMOSトランジスタのゲートと前記第2のpMOSトランジスタのゲートと前記第3のpMOSトランジスタのゲートとが一本の第2のポリシリコン配線で連続して接続され、前記第3及び第4のpMOSトランジスタの閾値電圧の絶対値は、前記第1及び第2のインバータに供給する電源電圧よりも高いことを特徴とする請求項6に記載の半導体記憶装置である。

【0016】請求項8の本発明は、前記第3のpMOSトランジスタの拡散領域のうち前記第1のpMOSトランジスタと反対側の拡散領域と、前記第4のpMOSトランジスタの拡散領域のうち前記第2のpMOSトランジスタと反対側の拡散領域とに、N型拡散領域を設けてpMOSトランジスタを形成するNウェル領域の電位を固定したことを特徴とする請求項第7に記載の半導体記憶装置である。

【0017】請求項9の本発明は、前記SRAMメモリセルが格子状に配置されるメモリセルアレイにおいて、前記第1及び第2の拡散領域の延在方向に一定間隔でウェル電位を固定するための基板コンタクト領域を設け、前記基板コンタクト領域を形成する拡散領域を前記メモリセルの前記第1の拡散領域並びに前記第2の拡散領域の延長線上に屈曲部を有さず直線状に配置し、前記メモリセルと前記基板コンタクト領域との境界にオン状態とならないようにゲートを電位固定した第5のnMOSトランジスタを設けたことを特徴とする請求項1から請求項5のいずれかの請求項に記載の半導体記憶装置である。

【0018】請求項10の本発明は、前記SRAMメモリセルが格子状に配置されるメモリセルアレイにおいて、前記第3及び第4の拡散領域の延在方向に一定間隔でウェル電位を固定するための基板コンタクト領域を設け、前記基板コンタクト領域を形成する拡散領域を前記メモリセルの前記第3の拡散領域並びに前記第4の拡散領域の延長線上に屈曲部を有さず直線状に配置し、前記メモリセルと前記基板コンタクト領域との境界にオン状態とならないようにゲートを電位固定した第5のpMOSトランジスタを設けたことを特徴とする請求項6から請求項8のいずれかの請求項に記載の半導体記憶装置である。

【0019】請求項11の本発明は、前記第1のpMO

Sトランジスタが第3の拡散領域で形成され、前記第2のpMOSトランジスタが第4の拡散領域で形成されており、前記第1、第2、第3、第4の拡散領域を、トランジスタを形成するゲートの接続線の長手方向に隣接する拡散領域の間隔を同じにして配置したことを特徴とする請求項1から請求項10のいずれかの請求項に記載の半導体記憶装置である。

【0020】請求項12の本発明は、前記第1のpMOSトランジスタが第3の拡散領域で形成され、前記第2のpMOSトランジスタが第4の拡散領域で形成されており、前記第1、第2、第3、第4の拡散領域の幅を、トランジスタを形成するゲートの接続線の長手方向に測定して同じにして配置したことを特徴とする請求項1から請求項11のいずれかの請求項に記載の半導体記憶装置である。

【0021】チャネル幅を変えることなくトランジスタ能力差を設けるひとつの手段として、アクセストランジスタのチャネル長を駆動トランジスタのチャネル長より大きく設定する。これによりメモリセルデータを安定して保持することが可能となる。従来はチャネル幅の違いによって能力差を設けていたため、アクセストランジスタに加工上の最小拡散領域幅を適用することはできても駆動トランジスタは最小幅でレイアウトすることはできなかったが、本発明によれば駆動トランジスタにも拡散領域の最小幅を適用することができる。一般的には、トランジスタのチャネル幅はチャネル長より大きいため本発明によれば、チャネル幅の抑制でセルサイズを小さくできる可能性が高い。

【0022】しかしながら、図8の従来例に示したメモリセルレイアウトでは横長構成のためチャネル長を大きくすると、セル高さが増え、駆動トランジスタのチャネル幅削減による面積抑制効果が少なくなる。そこで、本発明ではトランジスタ能力差を設ける別の手段としてアクセストランジスタの閾値電圧を駆動トランジスタの閾値電圧より大きく設定する。更に、別の手段としてアクセストランジスタのゲート酸化膜厚を駆動トランジスタのゲート酸化膜厚より厚く設定する。これらの手段によってアクセストランジスタと駆動トランジスタに、同じチャネル長とチャネル幅のもとで能力差を持たせることができ、面積削減効果を得ることが可能となる。上述のアクセストランジスタの特性を変える手段を用いる場合には、半導体プロセスに追加の工程を加える必要があり、プロセスコストが若干高くなる。そこで、本発明による別の手段として、アクセストランジスタのゲートを駆動するワード線ドライバ回路に供給する電源電圧を、メモリセル内のラッチ回路に供給する電源電圧よりも低く設定する。これにより、アクセストランジスタと駆動トランジスタには同じサイズで同じ特性のトランジスタを用いながら、能力差を設けることが可能となり、プロセスコストが抑制できる。

【0023】一方、p型拡散領域については従来レイアウトで有していた端部をなくす手段を講じている。p型拡散領域を直線状に配置し、上下に隣接するセル間のpMOS負荷トランジスタ素子の分離のために閾値電圧の絶対値が電源電圧よりも大きい特性を持ちゲート電位に限らず常時オフ状態であるpMOS分離トランジスタを設けている。これにより、従来端部で生じていたパターン後退による負荷トランジスタチャネル幅の加工形状変動が抑制され、また負荷トランジスタドレイン部のコンタクトに対する拡散領域のオーバーラップが十分に取れる。n型拡散領域からみれば、周囲のレイアウト形状として横にp型拡散領域が必ず存在することになる。従来レイアウトでは、p型拡散領域がない部分があったため、n型拡散領域の加工形状が部分的に変動し、これをマスクデータ上で補正する必要があった。本発明によれば、n型拡散領域の加工形状も補正することなく改善することが可能となる。

【0024】また、pMOS分離トランジスタの負荷トランジスタと反対側の拡散領域にn型拡散を施すことでpMOSトランジスタを形成するNウエルの電位を固定する手段を設けている。メモリセル内の空き領域を基板コンタクト領域として有効に用いることができる。Pウエルの電位を固定する基板コンタクト領域はメモリセル外に別途設ける必要があるが、Nウエル側は十分に電位固定できるためラッチアップ耐性は向上し、別途設けるPウエル電位固定の領域はより大きな間隔で設定することが可能となりメモリセルアレイの面積を抑制することが可能となる。

【0025】メモリアレイ全体のレイアウトを考えた場合、少なくともPウエルの電位を固定する領域を、メモリセルが縦方向に並ぶ一定の間隔毎に設ける必要がある。この電位固定領域の上下のメモリセルでは、従来レイアウトによれば拡散領域が一旦分離されてしまう。本発明では、n型拡散領域、p型拡散領域ともにゲートをオフ状態に固定したトランジスタを電位固定の拡散領域の上下に設けることで、上記ウエル電位固定の拡散領域もメモリセル部の拡散領域と連続して直線状にレイアウトすることを可能としている。これにより、メモリセルアレイ全域にわたって拡散領域の形状を屈曲部のない直線状でかつ部分的な分離なしで配置でき、ウエル電位固定領域の上下にあるメモリセルのトランジスタ特性の変動を抑えることが可能となる。更に本発明では、拡散領域の配置間隔を全て同じ間隔で配置する手段を講じている。前述したように、近年の微細プロセスでは、周辺レイアウト形状によって仕上がりの加工形状が変動する。複数の配置間隔を持つ場合、複数の拡散領域を所望の間隔と幅に仕上げるのが難しくなりつつある。配置間隔を一定に保つことでこれら拡散領域の形状変動を一定値に保つことが容易となる。また、同様に拡散領域の幅を一定の幅で配置する手段も講じている。同じく拡散領域

の幅形状を一定値に保つことが容易になる。

【0026】

【発明の実施の形態】以下本発明の実施をするための最適な態様を具体的に示した実施例について図面とともに説明する。

【0027】《実施例1》図1に、本発明の実施例1のCMOS型SRAMメモリセルのレイアウトを示す。実施例1のCMOS型SRAMメモリセルは、nMOS駆動トランジスタTN1、TN2、nMOSアクセストランジスタTN3、TN4、pMOS負荷トランジスタTP1、TP2、ポリシリコン配線PL1、PL2、PL3、PL4、配線層AL1、AL2、コンタクトCN1、CN2、CL1、CL2を有する。nMOS駆動トランジスタTN1及びnMOSアクセストランジスタTN3はn型拡散領域DN1上に形成され、nMOS駆動トランジスタTN2及びnMOSアクセストランジスタTN4はn型拡散領域DN2上に形成されている。pMOS負荷トランジスタTP1は、p型拡散領域DP1上で形成され、pMOS負荷トランジスタTP2は、p型拡散領域DP2上で形成されている。

【0028】nMOS駆動トランジスタTN1とpMOS負荷トランジスタTP1は両ゲートがポリシリコン配線PL1で接続され、両ドレインがコンタクトを介して配線層AL1で接続されており、第1のインバータ(CMOS構造)を形成している。nMOS駆動トランジスタTN2とpMOS負荷トランジスタTP2は両ゲートがポリシリコン配線PL2で接続され、両ドレインがコンタクトを介して配線層AL2で接続されており、第2のインバータ(CMOS構造)を形成している。第1のインバータの出力ノードになるAL1は第2のインバータの入力ノードPL2に接続され、第2のインバータの出力ノードになるAL2は第1のインバータの入力ノードPL1に接続されている。これによりデータを保持するためのラッチ回路が形成されている。

【0029】nMOSアクセストランジスタTN3のドレインは第1のインバータの出力ノードとなる配線層AL1に接続され、ソースはコンタクトCN1を介して縦方向に走るビット線(図示していない)に接続されている。nMOSアクセストランジスタTN4のドレインは第2のインバータの出力ノードとなる配線層AL2に接続され、ソースはコンタクトCN2を介して縦方向に走る他のビット線(図示していない)に接続されている。TN3、TN4のゲートは横方向に走るワード線(図示していない)に接続されている。MN1、MN2はn型拡散を施す領域決めるマスクである。

【0030】本実施例において、nMOS駆動トランジスタTN1、TN2とnMOSアクセストランジスタTN3、TN4は同じチャネル幅を有している。一方、チャネル長はnMOSアクセストランジスタTN3、TN4のほうがnMOS駆動トランジスタTN1、TN2よ

り大きくとっている。これにより、nMOSアクセストランジスタTN3、TN4の駆動能力はnMOS駆動トランジスタTN1、TN2の駆動能力より小さくなり、メモリデータが安定して保持される。チャネル幅が一定であるためn型拡散領域DN1とDN2は屈曲部を有さず直線状にレイアウトすることが可能となる。この結果、形状の丸めによるトランジスタ幅の変動は生じず、nMOSTランジスタの特性ばらつきは抑制される。

【0031】《実施例2》図2に、本発明の実施例2のCMOS型SRAMメモリセルのレイアウトを示す。図2において、実施例1と同様の機能を担う要素について同一の符号を付けて、その詳細な説明は省略する。実施例1に対して本実施例では、nMOS駆動トランジスタTN1、TN2とnMOSアクセストランジスタTN3、TN4は同じチャネル長を有している。アクセストランジスタTN3、TN4のゲート上には、閾値電圧を高くするためのイオン注入を施す領域を決めるマスクHV1、HV2をかけている。p型拡散領域DP1、DP2は端部を有さず直線状にレイアウトされており、ラッチ回路の入力ゲートとなるポリシリコン配線PL1、PL2がp型拡散領域DP2、DP1とそれぞれ交差し、pMOSTランジスタTP4、TP3を構成している。pMOSTランジスタTP3、TP4のゲート上には、閾値電圧の絶対値を供給電源電圧よりも大きくするためのイオン注入を施す領域を決めるマスクVV1、VV2をかけている。また、TP3、TP4のそれぞれTP1、TP2と反対側の拡散領域にはn型拡散を施す領域を決めるマスクMN3、MN4をかけている。

【0032】本実施例のメモリセルレイアウトによると、アクセストランジスタTN3、TN4は駆動トランジスタTN1、TN2と同じチャネル幅と同じチャネル長を持ちながらより高い閾値電圧特性を有している。これにより、nMOSアクセストランジスタTN3、TN4の駆動能力は、nMOS駆動トランジスタTN1、TN2の駆動能力より小さくなり、メモリデータが安定して保持される。実施例2のメモリセルは実施例1のメモリセルよりもセル高さを低く抑えることができる。

【0033】図3に本実施例におけるメモリセルの回路図を示す。pMOSTランジスタTP3のドレイン及びゲートは第1のインバータの出力ノードに接続されており、pMOSTランジスタTP4のドレイン及びゲートは第2のインバータの出力ノードに接続されている。メモリセルが保持するデータによってTP3及びTP4のゲート電位はGNDレベルもしくは電源電圧レベル(VDD)に変わる。しかしながら、TP3、TP4は-VDDよりも低い閾値電圧を持つため常時オフ状態となり、TP3、TP4のゲートのそれぞれの両サイドの拡散領域は電氣的に分離された状態となる。TP3、TP4の一方の拡散領域(第1のインバータ及び第2のインバータの出力ノードに接続されていない側の拡散領域)

にはn型拡散が施されており、それぞれコンタクトCP1、CP2を介してNウエルの電位を固定することができる。

【0034】本実施例では、拡散領域に屈曲部がないばかりでなく端部もなく、n型拡散領域DN1、DN2からみると常に横にp型拡散領域DP1もしくはDP2が存在する。このため、周囲のレイアウト形状による加工形状の変動はどこも同じように発生し仕上り形状を均一にしやすい。すなわち、TN1とTN3並びにTN2とTN4のチャネル幅を同じ幅に保つプロセス加工条件の設定がしやすくなる。

【0035】《実施例3》図4、5を用いて、実施例3のCMOS型SRAMメモリを説明する。実施例3のメモリセルは、実施例1のメモリセル(図1)と類似のレイアウトを有する。実施例1のメモリセルにおいては、nMOSアクセストランジスタTN3、TN4のチャネル長は、nMOS駆動トランジスタTN1、TN2のチャネル長より大きかった。実施例3のメモリセルにおいては、nMOSアクセストランジスタTN3、TN4のチャネル長と、nMOS駆動トランジスタTN1、TN2のチャネル長とは同一である。それ以外の点においては両者は同一である(図1参照)。従って実施例3のメモリセルは、実施例1のメモリセルよりも縦方向の長さが短い。

【0036】図4に、本発明の実施例3におけるCMOS型SRAMのメモリセル及びワード線駆動バッファの回路を示す。図4においては実施例2(図3)と同一の機能を担う要素について、同一の符号を付けそれらの説明は省略する。図4において、nMOSアクセストランジスタTN3のドレインは第1のインバータ出力ノードに接続され、ソースは縦方向に走るビット線に接続されている。nMOSアクセストランジスタTN4のドレインは第2のインバータ出力ノードに接続され、ソースは縦方向に走るビット線に接続されている。TN3、TN4のゲートは横方向に走るワード線に接続されている。アクセストランジスタTN3、TN4のゲートはワード線ドライバ20で駆動される。ワード線ドライバ20の電源電位VDDWはメモリセル10の電源電位VDDMより低く設定されている($VDDW < VDDM$)。ワード線ドライバの入力ノード21にLレベルが入力されると、図5に示すようにワード線ドライバはVDDWの電位を持つHレベルを出力する。このとき、アクセストランジスタTN3、TN4のゲートはVDDWで駆動される。一方駆動トランジスタTN1、TN2のいずれか一方のゲートはメモリセル供給電圧であるVDDMで動作する。アクセストランジスタのゲートに印加する電圧VDDWと、メモリセルへの供給電圧VDDMを $VDDW < VDDM$ となるように設定しているため、アクセストランジスタTN3、TN4の駆動能力が駆動トランジスタTN1、TN2の駆動トランジスタと比べて相対的に

小さくなりメモリデータは安定的に保持することが可能となる。

【0037】本実施例のメモリセルレイアウトは実施例2のメモリセルレイアウトと同様に駆動トランジスタTN1、TN2とアクセストランジスタTN3、TN4のチャンネル幅とチャンネル長は同じサイズでレイアウトされている。これにより実施例2と同様の効果が得られる。さらに本実施例においては、駆動トランジスタTN1、TN2とアクセストランジスタTN3、TN4は同じ閾値電圧特性をもつ。本実施例のCMOS型SRAMで

【0038】《実施例4》図6に、本発明の実施例4のCMOS型SRAMメモリセル及び基板コンタクトセルのレイアウトを示す。図6において、11はメモリセルのレイアウトであり、12は基板コンタクトセルのレイアウトを示している。図6のメモリセルレイアウトにおいて、実施例2（図2）と同様の機能を有する部分に同一の符号を付けて、その詳細な説明を省略する。実施例2のメモリセルにおいてはアクセストランジスタTN3、TN4に高い閾値電圧特性を持つトランジスタを用いていたが、本実施例4においてはアクセストランジスタTN3、TN4に駆動トランジスタTN1、TN2よりもゲート酸化膜の厚いトランジスタを用いている。HX1、HX2はゲート酸化膜を厚く形成する領域を決めるマスクを示している。ゲート酸化膜が厚いアクセストランジスタTN3、TN4は駆動トランジスタTN1、TN2と同じチャンネル幅とチャンネル長を持ちながら、駆動能力が抑えられるためメモリセルは良好なデータ保持特性を持つことになる。また、本実施例のメモリセルでは拡散領域DN1、DP1、DP2、DN2は等間隔で配置されており、その領域幅もすべて同じサイズとなっている。

【0039】次に隣接する基板コンタクトセル12のレイアウトについて説明する。基板コンタクトセル上の拡散領域は、メモリセル上の拡散領域の延長上にあり、同じく直線状に配置される。n型拡散領域DN1とDN2上にはメモリセルのトランジスタ形成部と基板コンタクト部を電氣的に分離するためのnMOSトランジスタTN5、TN6とTN7、TN8がそれぞれ配置されている。同様に、p型拡散領域DP1とDP2上にはメモリセルのトランジスタ形成部と基板コンタクト部を電氣的に分離するためのpMOSトランジスタTP5、TP6とTP7、TP8がそれぞれ配置されている。

【0040】nMOSトランジスタTN5、TN6の間の拡散領域およびnMOSトランジスタTN7、TN8

の間の拡散領域は、それぞれMN1とMN2のn型拡散を施すマスクがかけられておらずp型拡散が施される。一方、pMOSトランジスタTP5、TP6の間の拡散領域およびpMOSトランジスタTP7、TP8の間の拡散領域は、MN5のn型拡散を施すマスクがかけられておりn型拡散が施される。nMOSトランジスタTN5、TN6のゲートは互いに接続され、これらトランジスタ間のp型拡散領域とともにGNDレベルに接続される。nMOSトランジスタTN7、TN8も同様である。一方、pMOSトランジスタTP5、TP6、TP7、TP8のゲートは互いに接続され、これらトランジスタ間のn型拡散領域とともにVDDレベルに接続される。このような構成によって、Nウエル、Pウエルともにメモリセルの拡散領域と電氣的に分離しながらウエル電位を固定することが可能となる。

【0041】図7に図6で示したメモリセルを格子上に配置したメモリセルアレイの一部を示す。縦方向に並ぶメモリセルの一定間隔毎に基板コンタクトセル12が配置される。図では説明をわかりやすくするためにメモリセルと基板コンタクトセルのレイアウトを簡略化し、ポリシリコン配線PL1、PL2、PL3、PL4と拡散領域DN1、DP1、DP2、DN2のみ示している。本実施例のメモリセルアレイでは、基板コンタクトセルの拡散領域がメモリセルアレイと連続して直線状に配置されることで、メモリセルアレイ全域にわたって拡散領域が分断されることなく直線状に配置される。また、各々の拡散領域の間隔と幅は均一に配置される。（S1=S2=S3=S4、W1=W2=W3=W4）本実施例のメモリセルアレイによれば、拡散領域の周辺レイアウト形状がどこの部分をみても同じであり、仕上りの加工形状の変動が均一になる。この結果、トランジスタのチャンネル幅の変動が抑制され特性ばらつきが小さくなる。

【0042】

【発明の効果】以上説明したように、請求項1～請求項5に記載の発明の半導体記憶装置によれば、駆動トランジスタとアクセストランジスタとのチャンネル幅を変えことなくトランジスタ能力比を持たせることでメモリセルのデータ保持安定性を確保しながら、n型拡散領域の屈曲部をなくし直線状に配置することが可能となる。この結果、形状の丸めによるトランジスタ幅の変動は生じず、nMOSトランジスタの特性ばらつきは抑制される。また、駆動トランジスタのチャンネル幅をアクセストランジスタと同等サイズにでき、さらに特性ばらつきが抑制されることからより小サイズのチャンネル幅を選択できるためセル面積が縮小可能となる。

【0043】一方、請求項6および7記載の発明の半導体記憶装置によれば、p型拡散領域に端部を有さず直線状に配置されることで、形状の丸めによるトランジスタ幅の変動は生じず、pMOSトランジスタの特性ばらつきは抑制される。n型拡散領域からみると周囲のレイア

ウト形状が均一になるため、アクセストランジスタと駆動トランジスタのチャネル幅の加工形状の変動も均一化され能力比のばらつきが抑制される。また、p型拡散領域を分離するための2個のpMOSトランジスタのゲートはインバータ回路のゲートに接続され、データラッチノードにゲート容量が付加されることになるため、ノイズに対するデータ保持安定性が改善される。

【0044】請求項8記載の半導体記憶装置によれば、pMOS分離トランジスタの負荷トランジスタと反対側の拡散領域にn型拡散を施すことで、メモリセル内の空き領域を基板コンタクト領域として有効に用いることができる。請求項9ないし10記載の半導体記憶装置によれば、n型拡散領域、p型拡散領域ともにゲートをオフ状態に固定したトランジスタを基板コンタクト領域の上下に設けることで、基板コンタクトの拡散領域もメモリセル部の拡散領域と連続して直線状にレイアウトすることが可能となる。これにより、メモリセルアレイ全域にわたって拡散領域の形状を屈曲部のない直線状でかつ部分的な分離なしで配置でき、基板コンタクト領域の上下にあるメモリセルのトランジスタ特性の変動を抑えることが可能となる。更に、請求項11の半導体記憶装置によれば、拡散領域を全て同じ間隔で配置することにより、周辺レイアウト形状による仕上りの加工形状の変動を一定値に保つことが容易となる。また、請求項12の半導体記憶装置によれば、拡散領域を全て同じ幅で配置することにより、拡散領域の幅形状を一定値に保つことが容易になる。

【図面の簡単な説明】

【図1】 実施例1のCMOS型SRAMメモリセルのレイアウト図

【図2】 実施例2のCMOS型SRAMメモリセルのレイアウト図

【図3】 実施例2のCMOS型SRAMメモリセルの回路図

【図4】 実施例3のCMOS型SRAMメモリセルとワード線駆動バッファの回路図

【図5】 実施例3のCMOS型SRAMメモリセルによる半導体記憶装置におけるワード線の信号波形である

【図6】 実施例4のCMOS型SRAMメモリセル及び基板コンタクトセルのレイアウト図

【図7】 実施例4のCMOS型SRAMメモリセルアレイのレイアウト図

【図8】 従来例のCMOS型SRAMメモリセルのレイアウト図

【図9】 メモリセルのデータ保持安定性を評価するための回路図

【図10】 メモリセル内インバータ回路の入出力特性を示す図

【図11】 アクセストランジスタ能力を大きくした場合のメモリセル内インバータ回路の入出力特性を示す図

10 【符号の説明】

TN1、TN2 nMOS駆動トランジスタ

TN3、TN4 nMOSアクセストランジスタ

TP1、TP2 pMOS負荷トランジスタ

TP3、TP4 pMOS分離用高閾値電圧トランジスタ

TN5、TN6、TN7、TN8 nMOS分離トランジスタ

TP5、TP6、TP7、TP7 pMOS分離トランジスタ

20 DN1、DN2 n型拡散領域

DP1、DP2 p型拡散領域

PL1、PL2、PL3、PL4 ポリシリコン配線

AL1、AL2 配線層

CL1、CL2、CP1、CP2 コンタクト

MN1、MN2、MN3、MN4、MN5 n型拡散領域を決めるマスク

HV1、HV2 アクセストランジスタの閾値電圧を高くするためのイオン注入を施す領域を決めるためのマスク

30 VV1、VV2 pMOS分離トランジスタの閾値電圧の絶対値を大きくするためのイオン注入を施す領域を決めるためのマスク

HX1、HX2 ゲート酸化膜を厚く形成する領域を決めるマスク

DL1、DL2、DL3、DL4、DL5、DL6

拡散領域の加工形状

10 メモリセル回路

11 メモリセルレイアウト

12 基板コンタクトセルレイアウト

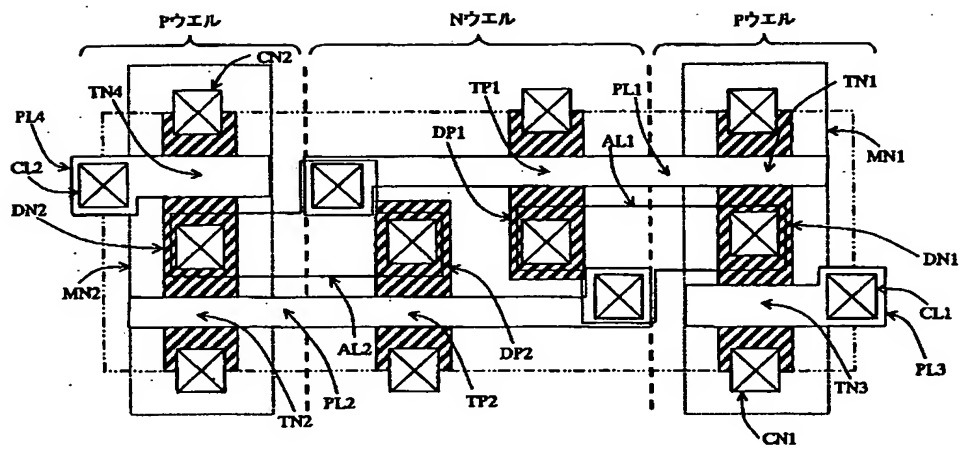
40 20 ワード線駆動バッファ回路

21 ワード線駆動バッファ入力ノード

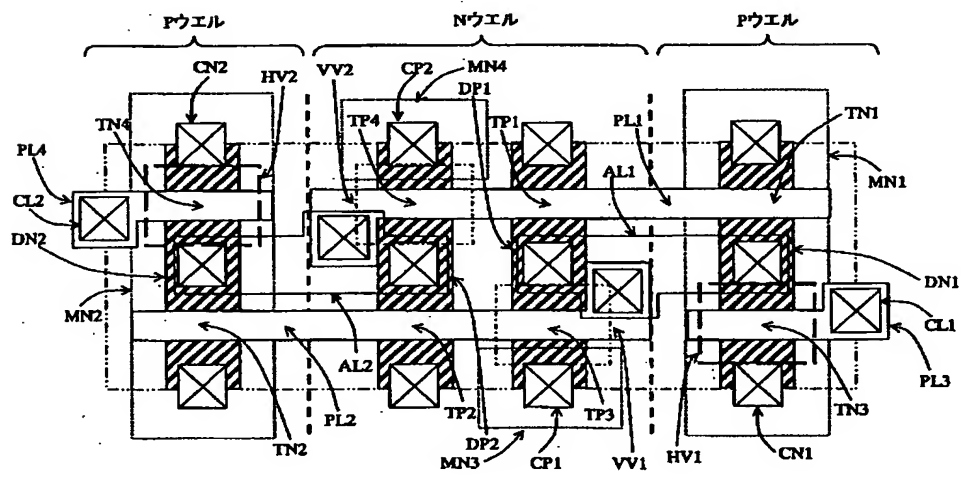
VDDM メモリセル供給電圧

VDDW ワード線駆動バッファ供給電圧

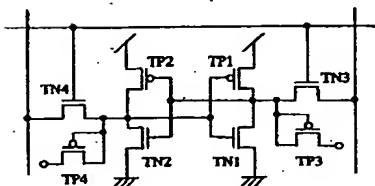
【図1】



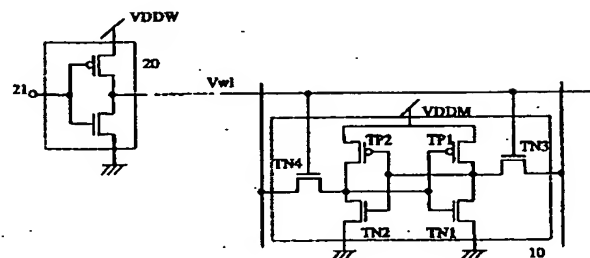
【図2】



【図3】



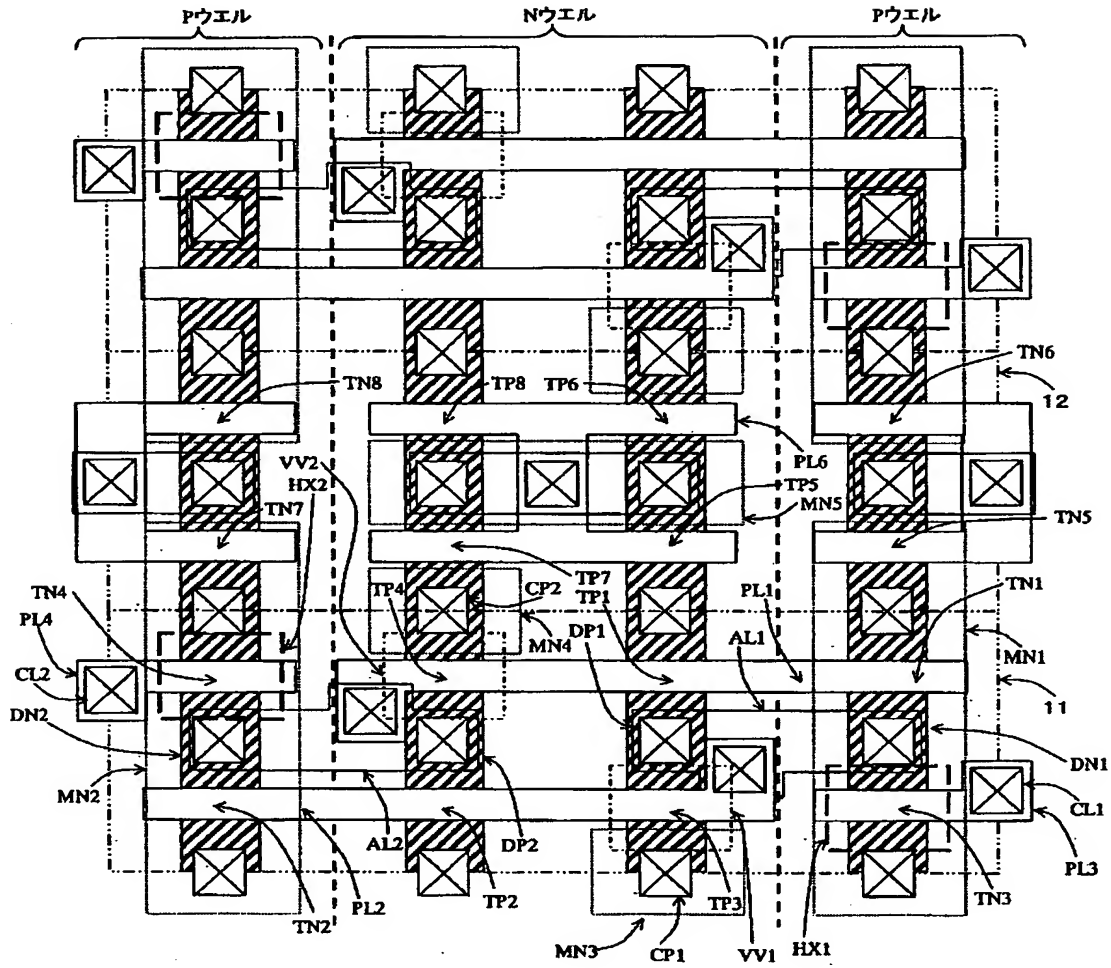
【図4】



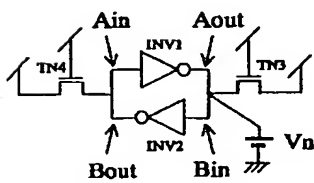
【図 5】



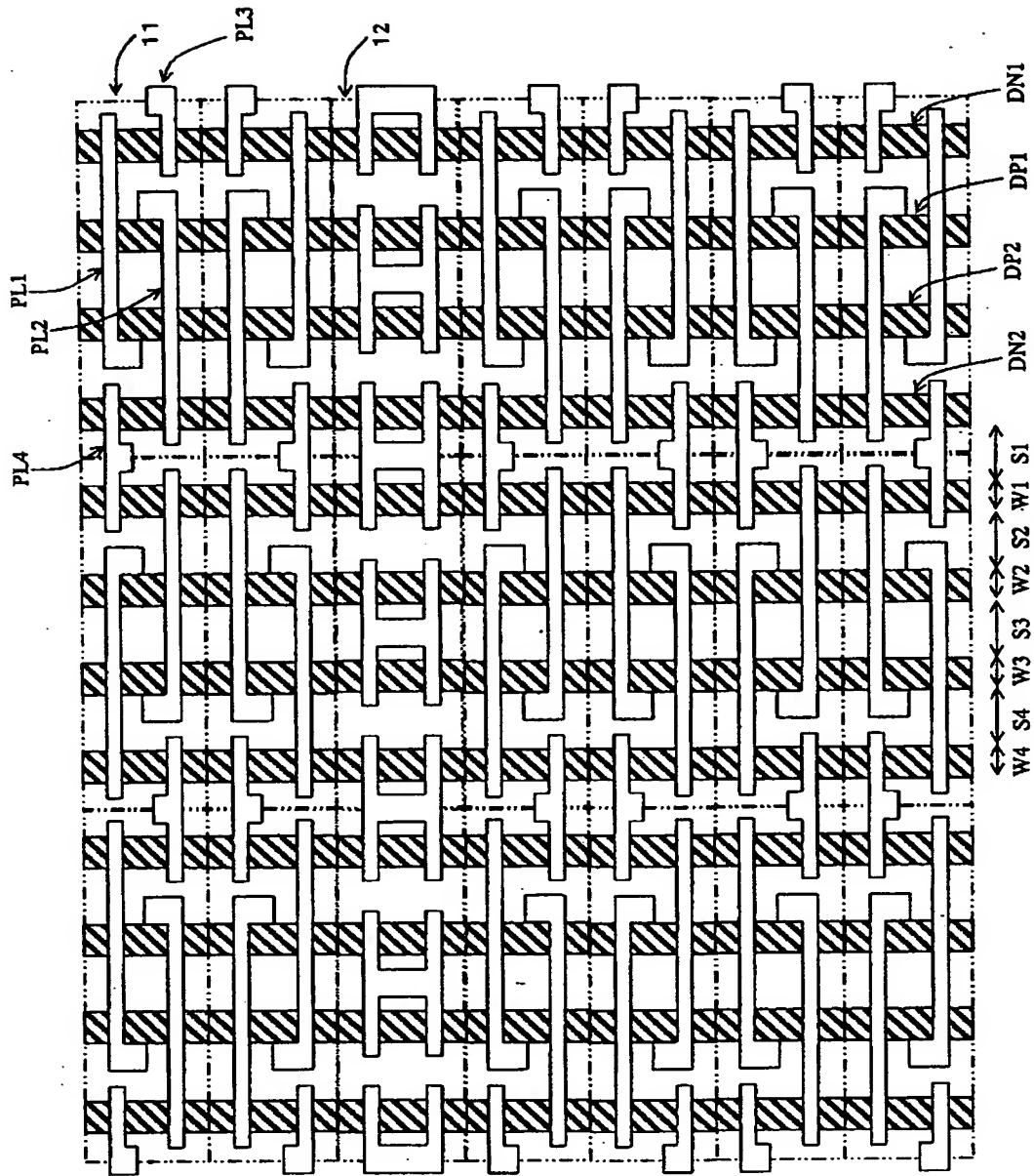
【図 6】



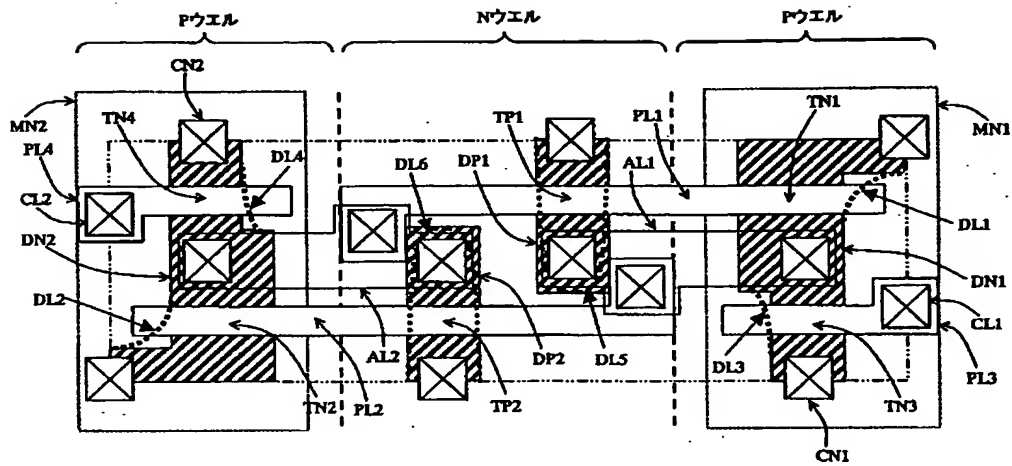
【図 9】



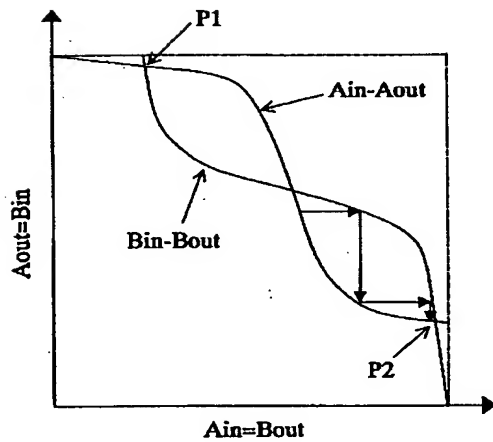
【図 7】



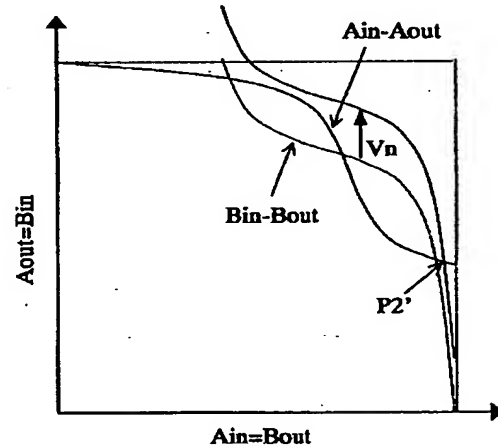
【図 8】



【図 10】



【図 11】



フロントページの続き

Fターム(参考) 5B015 JJ12 JJ31 JJ45 KA04 KA23
 PP02 QQ03
 5F083 BS03 BS15 BS27 BS48 JA36
 LA01 LA05 LA11 LA21

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.